

DERWENT-ACC-NO: 1994-327847

DERWENT-WEEK: 199648

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Polycrystalline silicon@ thin film integrated circuit  
manufacturing method - forms semiconductor thin film  
which becomes channel of P-channel TFT and N-channel TFT  
by laser annealing NoAbstract

PATENT-ASSIGNEE: NEC CORP[NIDE]

PRIORITY-DATA: 1993JP-0035934 (February 25, 1993)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 06252398 A	September 9, 1994	N/A	005	H01L 029/784

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 06252398A	N/A	1993JP-0035934	February 25, 1993

INT-CL (IPC): H01L021/268, H01L021/324 , H01L027/092 , H01L029/784

RELATED-ACC-NO: 1996-474371

ABSTRACTED-PUB-NO: JP 06252398A

EQUIVALENT-ABSTRACTS:

CHOSEN-DRAWING: Dwg.1/5

TITLE-TERMS: POLYCRYSTALLINE SILICON@ THIN FILM INTEGRATE CIRCUIT MANUFACTURE  
METHOD FORM SEMICONDUCTOR THIN FILM CHANNEL P CHANNEL TFT N CHANNEL  
TFT LASER ANNEAL NOABSTRACT

DERWENT-CLASS: U11 U13 U14

EPI-CODES: U11-C03J2A; U13-D02A; U14-H01C;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1994-257703

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-252398

(43)公開日 平成6年(1994)9月9日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
21/268	Z	8617-4M		
21/324	N	8617-4M		
		9056-4M	H 0 1 L 29/ 78	3 1 1 C
		9170-4M	27/ 08	3 2 1 B
審査請求 有 請求項の数 6 O L (全 5 頁) 最終頁に続く				

(21)出願番号 特願平5-35934

(22)出願日 平成5年(1993)2月25日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 田邊 浩

東京都港区芝五丁目7番1号日本電気株式会社内

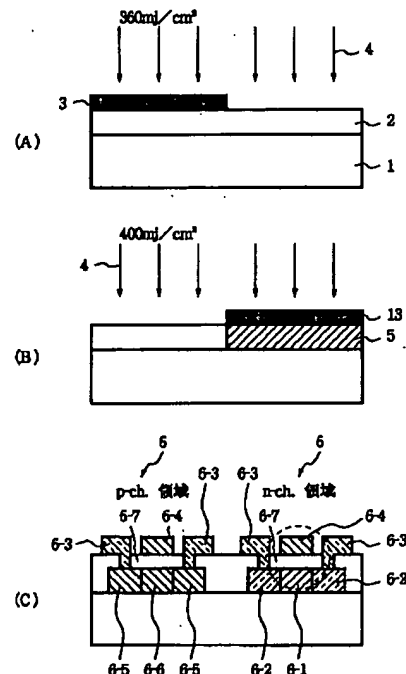
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 薄膜集積回路およびその製造方法

(57)【要約】

【目的】薄膜集積回路を構成するp-ch. TFTとn-ch. TFTとをそれぞれ最適化して形成する。

【構成】p-ch. TFTのチャネルとなる半導体薄膜とn-ch. TFTのチャネルとなる半導体薄膜とを、たがいに異なるレーザ強度によるレーザアニールにより形成する。



1

## 【特許請求の範囲】

【請求項1】 基板上にnチャネル型薄膜トランジスタとpチャネル型薄膜トランジスタとを有する薄膜集積回路において、前記nチャネル型薄膜トランジスタのチャネルとなる半導体薄膜と前記pチャネル型薄膜トランジスタのチャネルとなる半導体薄膜とはたがいに多結晶および非結晶による組成構造や多結晶構造中の結晶粒径、結晶粒界が異なることを特徴とする薄膜集積回路。

【請求項2】 前記nチャネル型薄膜トランジスタのチャネルとなる半導体薄膜と前記pチャネル型薄膜トランジスタのチャネルとなる半導体薄膜とはたがいに異なる強度のレーザ照射により形成された半導体薄膜であることを特徴とする請求項1に記載の薄膜集積回路。

【請求項3】 基板の第1の領域に複数のnチャネル型薄膜トランジスタ群が形成され、前記第1の領域から離間せる前記基板の第2の領域に複数のpチャネル型薄膜トランジスタ群が形成されていることを特徴とする薄膜集積回路。

【請求項4】 前記第1の領域における前記nチャネル型薄膜トランジスタのチャネルとなる半導体薄膜と前記第2の領域における前記pチャネル型薄膜トランジスタのチャネルとなる半導体薄膜とは、たがいに多結晶および非結晶による組成構造や多結晶構造中の結晶粒径、結晶粒界が異なることを特徴とする請求項3に記載の薄膜集積回路。

【請求項5】 基板上にnチャネル型薄膜トランジスタとpチャネル型薄膜トランジスタとを有する薄膜集積回路の製造方法において、前記nチャネル型薄膜トランジスタのチャネルとなる半導体薄膜と前記pチャネル型薄膜トランジスタのチャネルとなる半導体薄膜とはたがいに異なる強度のレーザ照射がなされることを特徴とする薄膜集積回路の製造方法。

【請求項6】 前記nチャネル型薄膜トランジスタはその複数個が一群となって前記基板の第1の領域に形成され、前記pチャネル型薄膜トランジスタはその複数個が一群となって前記第1の領域から離間せる前記基板の第2の領域に形成されることを特徴とする請求項5に記載の薄膜集積回路の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は薄膜集積回路およびその製造方法に係わり、特に液晶ディスプレイ、イメージセンサ等に应用可能な薄膜トランジスタ（以下、TFTと称す）を用いた薄膜集積回路に関する。

【0002】

【従来の技術】液晶ディスプレイ用周辺駆動回路などの高速動作を必要とする薄膜集積回路への応用を目的として、多結晶シリコンTFTの開発が進められている。なかでもエキシマレーザなどの紫外パルスレーザによるレーザアニール工程を経て形成されるTFTは、ソーダガ

2

ラスなどの低コスト、低軟化点ガラス基板上に集積回路を作成する上での主要素子となっている。

【0003】このようなレーザアニールによるTFTにより形成される薄膜集積回路は、図5に示すような液晶ディスプレイ用TFT基板を例にとると、ガラス基板31上の画素用アクティブマトリックスTFTアレイ領域32と、駆動回路領域35、36とを具備する。

【0004】レーザアニール工程はTFTのチャネルを形成すべくCVD法等で堆積されたシリコン薄膜にエキシマレーザ34を照射することにより行われる。この時、図5に示すようなパルスレーザの順次操作33により、基板全面が同一レーザ照射強度でアニールされる。レーザ照射強度のばらつきは各TFTのチャネル領域の多結晶構造のばらつきを有機するため、3%程度の均一性を有するビームが用いられている。また、より大面積なビームを用いることにより生産性の向上が図られている。したがって、基板全面に一樣にキャリア移動度の高い多結晶Si薄膜を得ることが必要である。

【0005】一方で、上記駆動回路をnチャネル型TFT（以下、n-ch. TFTと称す）もしくはpチャネル型TFT（以下、p-ch. TFTと称す）の単チャネル構成とする場合、消費電力、及びそれに伴う発熱量が大きくなる。発熱は駆動回路の安定した動作を妨げるため、それらの低減あるいは冷却装置の付加が必要となる。したがって、消費電力、発熱量の低減手段の1つとして駆動回路のCMOS化が進められている。

【0006】

【発明が解決しようとする課題】ところが、上記のような薄膜集積回路ではチャネルを形成する半導体薄膜とガラス基板との熱膨張率が異なるため、従来の結晶SiからなるMOSトランジスタに比べ、製造プロセス中の熱サイクルにより半導体薄膜中に応力が発生し易い。多結晶SiのSi微構造ばかりでなく、応力の発生はキャリアの走行性に大きく影響を及ぼし、電子移動度を向上させる反面正孔移動度を低下させるという現象を生じる。

【0007】その結果、良好な特性を有するn-ch. TFT、p-ch. TFTを同時に得ることができず、得られる駆動回路の動作速度の向上が困難であるという問題があった。

【0008】

【課題を解決するための手段】本発明の特徴は、基板上にn-ch. TFTとp-ch. TFTとを有する薄膜集積回路において、n-ch. TFTのチャネルとなる半導体薄膜とp-ch. TFTのチャネルとなる半導体薄膜とはたがいに多結晶および非結晶による組成構造や多結晶構造中の結晶粒径、結晶粒界が異なる薄膜集積回路にある。

【0009】また本発明の他の特徴は、基板上にn-ch. TFTとp-ch. TFTとを有する薄膜集積回路の製造方法において、n-ch. TFTのチャネルとな

る半導体薄膜とp-ch. TFTのチャネルとなる半導体薄膜とはたがいに異なる強度のレーザ照射により形成される薄膜集積回路の製造方法にある。

【0010】ここで上記薄膜集積回路もしくはその製造方法において、基板の第1の領域に領域に複数のp-ch. TFTの群を形成されることができ。

【0011】すなわち、図3に示すようなレーザ強度と、トランジスタ特性から得られるキャリア移動度との関係が実験から得られた。エネルギーを選択することによってn-ch. TFTと、p-ch. TFTとの高移動度化が可能である。レーザ強度の違いは形成されるSi微細構造変化させる。例えば、多結晶構造と非結晶構造等の違いや、多結晶構造中の結晶粒径、結晶粒界の変化などである。したがって微細構造によりキャリアの移動度が変化するが、実験結果からキャリアとなる電子とホールの移動度に対する最適強度は異なっている。この原因としてSi中に生じる応力が考えられる。

【0012】なお、実験に用いたTFTは図4に示すような構造のものをを用いた。石英基板上にソース・ドレイン電極となるMoSi/poly-Si:P層を形成し、その上部に堆積されたa(アモルファス)-Si層を各エネルギーで1ヶ所につき10ショットずつレーザアニールすることによってチャネル層を形成した。チャネル長6μm、チャネル幅6μmであり、ゲート絶縁膜としてSiO<sub>2</sub>薄膜を減圧CVD法により1500nm堆積し、ゲート電極、ソース、ドレイン端子はAl(アルミ)を用いた。またパターニングはフォトリソグラフィとドライエッチング等により行った。

【0013】このように本発明の特徴によれば、n-ch. 領域を形成する半導体薄膜と、p-ch. 領域を形成する半導体薄膜とが異なる照射レーザ強度でアニールされる。レーザ強度の違いは形成されるSi微細構造の相違を生じさせる。したがって微細構造の異なる半導体薄膜を得ることによって、その半導体薄膜中の応力制御が可能になる。

【0014】又、本発明の他の特徴によれば、2次元的に広がるガラス基板上にn-ch. TFT群とp-ch. TFT群とが独立した領域に配置されるため、製造工程数の増加やレーザ照射の精密位置制御を行うことなく、p-ch. 領域とn-ch. 領域とで異なるレーザ強度の制御が可能となる。

【0015】

【実施例】本発明の第1の実施例を図1に示す。まず図1(A)に示すように、ガラス基板1上に例えば減圧CVD法によってa-Si薄膜2を100nmの膜厚に堆積する。次に、p-ch. TFTが形成される領域にレーザの遮光層3をフォトリソグラフィ等によりパターニングし形成する。遮光層としてはW、Mo等の高融点金属、Al等のエキシマレーザに対し反射率の高い金属、Si等の吸収係数の高い薄膜、あるいは上記のような材

料の積層膜等レーザの遮光が可能な材料であれば良い。以上のように、p-ch. TFT領域に遮光した状態で、回路を形成すべき領域を360mJ/cm<sup>2</sup>でレーザアニール4する。用いたレーザはXeClエキシマレーザ、波長308nm、1ヶ所に対する照射回数は10ショットである。

【0016】次に、上記遮光層3を剥離した後、図1(B)に示すように、n-ch. TFT領域に遮光層13を形成し、400mJ/cm<sup>2</sup>でレーザアニールを行う。上記と同様に、1ヶ所に対する照射回数は10ショットである。その後、遮光層13を剥離し、レーザアニールされたSi薄膜を用いて、図1(C)に示すような薄膜トランジスタ6を形成する。チャネル層6-1、6-6にたいしn<sup>+</sup>層6-2、P<sup>+</sup>層6-5はイオン注入法等により形成し、ゲート絶縁膜としてSiO<sub>2</sub>薄膜6-7を減圧CVD法により1500nm堆積する。ゲート電極6-4、ソース、ドレイン端子6-3はAl(アルミ)を用いている。さらに、集積回路の製造には、以上のように形成されたn-ch. TFT、p-ch. TFTが用いられ、図1(C)に示すTFT上部に層間絶縁膜の形成、配線用金属の形成が行われる。

【0017】以上のように、n-ch. TFTチャネル領域と、p-ch. TFTチャネル領域を異なる強度でレーザアニールを行った結果、n-ch. TFTでは移動度198cm<sup>2</sup>/Vsec、p-ch. TFTでは移動度103cm<sup>2</sup>/Vsecという、各TFTにおいて最も高い移動度が得られた。各チャネル領域に生じている応力をRAMAN散乱分光法から見積もったところn-ch. 領域で9×10<sup>9</sup> dyn/cm<sup>2</sup>、p-ch. 領域で5×10<sup>9</sup> dyn/cm<sup>2</sup>と応力の制御がなされていることが確認された。

【0018】また、上記実施例においてはレーザの遮蔽層が基板上に形成されレーザ強度の選択が行われたが、レーザを任意の照射形状に制御するマスクは本実施例のみに限らずレーザの光路上いずれの位置に配置されても良い。

【0019】次に本発明の第2の実施例について説明する。図2は400ビットシフトレジスタの配置概略図である。操作回路1ビットPチャネルセル7、及びNチャネルセル8がそれぞれ平行して400個直列にならぶことによって400ビットのシフトレジスタが構成されている。このようにn-ch. TFT領域11、p-ch. TFT領域12とを明確に分離し配置することにより、集積回路製造工程におけるレーザ照射強度の選択が容易になった。したがって上記第1の実施例と同様に、n-ch. TFT領域を360mJ/cm<sup>2</sup>で、p-ch. TFT領域を400mJ/cm<sup>2</sup>でそれぞれ1ヶ所につき10ショットずつレーザアニールすることにより、製造工程においてそれぞれ最適条件でのレーザアニールを行う。

5

6

【0020】上記各実施例においては、上記に示したごとく10ショット/所の照射数密度で行っているが、照射数密度を変えてアニールすることも可能であり、n-ch. TFT、p-ch. TFTに対し異なる照射数密度でのアニールも可能である。使用されるレーザについてもXeClエキシマレーザに限らず、KrF、ArF等の他エキシマレーザ、YAGレーザ等のパルスレーザについても使用可能である。

【0021】

【発明の効果】本発明により、薄膜集積回路を構成するTFTのチャンネル領域の独立した応力制御が可能となり、形成される集積回路の動作性能の向上、信頼性の向上が実現されるという効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例の薄膜集積回路を製造工程順に示す断面図である。

【図2】本発明の第2の実施例の薄膜集積回路を示す概略平面図である。

【図3】p-ch. TFTとn-ch. TFTについて、レーザ強度と移動度との関係を示す図である。

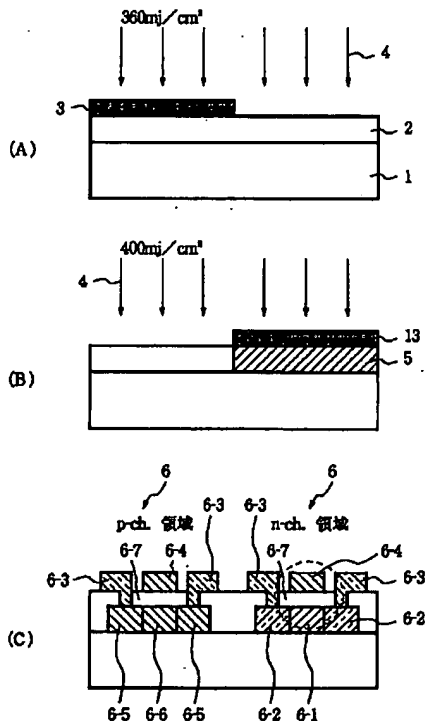
【図4】図3の実験に用いたTFTを示す断面図である。

【図5】薄膜集積回路の例として液晶ディスプレイ用TFT基板を示す図である。

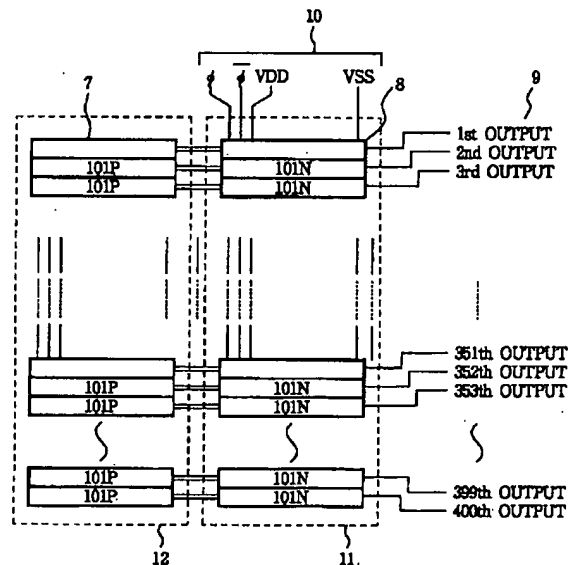
【符号の説明】

- 1 ガラス基板
- 2 Si基板
- 3, 13 遮光層
- 4 エキシマレーザ
- 5 レーザアニールにより改質された領域
- 6 薄膜トランジスタ
- 6-1 n-ch. TFTチャンネル
- 6-2 n<sup>+</sup> Si層
- 6-3 Al電極
- 6-4 ゲート電極
- 6-5 p<sup>+</sup> Si層
- 6-6 p-ch. TFTチャンネル
- 7 走査回路1ビットPチャンネルセル
- 8 走査回路1ビットNチャンネルセル
- 9 シフトレジスタ出力
- 10 電源他
- 11 n-ch. TFT領域
- 12 p-ch. TFT領域
- 31 駆動回路一体型液晶ディスプレイTFT基板
- 32 画素領域
- 33 レーザ既照射領域
- 34 エキシマレーザ
- 35 データ走査回路
- 36 ゲート走査回路

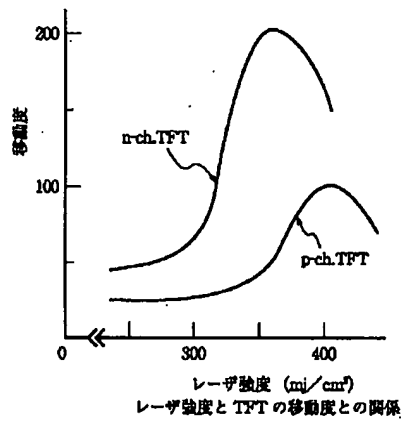
【図1】



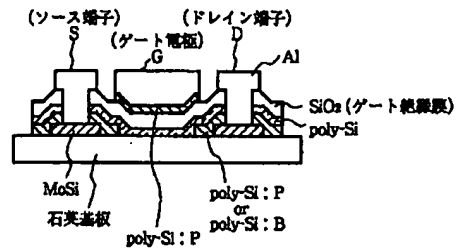
【図2】



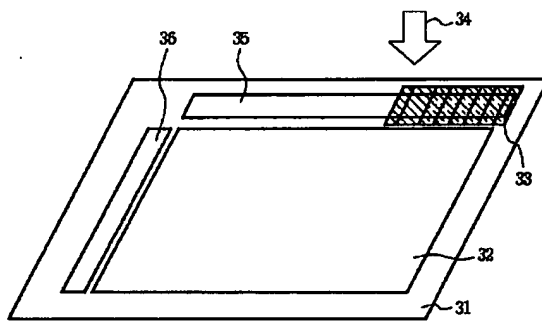
【図3】



【図4】



【図5】



フロントページの続き

(51)Int.Cl.<sup>5</sup>

H01L 27/092

識別記号

庁内整理番号

F I

技術表示箇所

9056-4M

H01L 29/78

311 H

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the thin film integrated circuit using a thin film transistor (TFT is called hereafter) especially applicable to a liquid crystal display, image sensors, etc. with respect to a thin film integrated circuit and its manufacture approach.

[0002]

[Description of the Prior Art] Development of polycrystalline silicon TFT is furthered for the purpose of the application to the thin film integrated circuit which needs high-speed operations, such as a circumference drive circuit for liquid crystal displays. TFT formed through the laser annealing process by ultraviolet pulse lasers, such as excimer laser, especially serves as main components when creating an integrated circuit on low cost, such as soda glass, and a low softening temperature glass substrate.

[0003] The thin film integrated circuit formed of TFT by such laser annealing possesses the active-matrix TFT array field 32 for pixels and the drive circuit fields 35 and 36 on a glass substrate 31, if the TFT substrate for liquid crystal displays as shown in drawing 5 is taken for an example.

[0004] A laser annealing process is performed by irradiating excimer laser 34 at the silicon thin film deposited with the CVD method etc. that the channel of TFT should be formed. At this time, annealing of the whole substrate surface is carried out by the sequential operation 33 of a pulse laser as shown in drawing 5 by the same laser radiation reinforcement. In order that dispersion in laser radiation reinforcement may carry out organic [ of the dispersion in the polycrystal structure of each channel field of TFT ], the beam which has about 3% of homogeneity is used. Moreover, improvement in productivity is achieved by using a large area beam. Therefore, it is required to obtain a polycrystal Si thin film with high carrier mobility uniformly all over a substrate.

[0005] On the other hand, when making the above-mentioned drive circuit into the single channel configuration of the n channel mold TFT (n-ch.TFT is called hereafter) or the p channel mold TFT (p-ch.TFT is called hereafter), power consumption and the calorific value accompanying it become large. In order that generation of heat may bar the actuation by which the drive circuit was stabilized, those reduction or addition of a cooling system is needed. Therefore, CMOS-ization of a drive circuit is advanced as one of power consumption and the reduction means of calorific value.

[0006]

[Problem(s) to be Solved by the Invention] However, in the above thin film integrated circuits, since the coefficient of thermal expansion of the semi-conductor thin film and glass substrate which form a channel differs, compared with the MOS transistor which consists of the conventional crystal Si, it is easy to generate stress in a semi-conductor thin film by the heat cycle in a manufacture process. Generating of not only Si microstructure of Polycrystal Si but stress affects the performance traverse of a carrier greatly, and while raising electron mobility, it produces the phenomenon of reducing hole mobility.

[0007] Consequently, n-ch.TFT which has a good property, and p-ch.TFT could not be obtained to coincidence, but there was a problem that improvement in the working speed of the drive circuit

obtained was difficult.

[0008]

[Means for Solving the Problem] In the thin film integrated circuit which has n-ch.TFT and p-ch.TFT on a substrate, the semi-conductor thin film used as the semi-conductor thin film used as the channel of n-ch.TFT and the channel of p-ch.TFT has the description of this invention in the thin film integrated circuit with which polycrystal and the diameter of crystal grain in the presentation structure depended amorphously or polycrystal structure differ from the grain boundary mutually.

[0009] Moreover, in the manufacture approach of a thin film integrated circuit of having n-ch.TFT and p-ch.TFT on a substrate, the semi-conductor thin film used as the semi-conductor thin film used as the channel of n-ch.TFT and the channel of p-ch.TFT has other descriptions of this invention in the manufacture approach of the thin film integrated circuit formed of the laser radiation of mutually different reinforcement.

[0010] In the above-mentioned thin film integrated circuit or its manufacture approach, two or more groups of p-ch.TFT can be formed in the 1st field of a substrate to a field here.

[0011] That is, the relation between laser reinforcement as shown in drawing 3 , and the carrier mobility obtained from transistor characteristics was obtained from the experiment. A raise in mobility with n-ch.TFT and p-ch.TFT is possible by choosing energy. Si fine structure change of the difference in laser reinforcement is formed and carried out. For example, they are the difference between polycrystal structure, amorphous structure, etc., the diameter of crystal grain in polycrystal structure, change of the grain boundary, etc. Therefore, although the mobility of a carrier changes with the fine structures, the optimal reinforcement to the mobility of the electron which serves as a carrier from an experimental result, and a hole differs. The stress produced in Si as this cause can be considered.

[0012] In addition, TFT used for the experiment used the thing of structure as shown in drawing 4 . MoSi/poly-Si which serves as a source drain electrode on a quartz substrate :P The layer was formed and the channel layer was formed by carrying out laser annealing of the a(amorphous)-Si layer deposited on the upper part every ten shots per place with each energy. It is 6 micrometers in 6 micrometers of channel length, and channel width, and is SiO<sub>2</sub> as gate dielectric film. Depositing 1500nm of thin films with the reduced pressure CVD method, a gate electrode, the source, and a drain terminal used aluminum (aluminum). Moreover, a photolithography, dry etching, etc. performed patterning.

[0013] Thus, according to the description of this invention, annealing is carried out by the exposure laser reinforcement from which the semi-conductor thin film which forms a n-ch. field, and the semi-conductor thin film which forms a p-ch. field differ. The difference in laser reinforcement produces a difference of Si fine structure formed. Therefore, by obtaining the semi-conductor thin film with which the fine structures differ, the strain controlled in the semi-conductor thin film becomes possible.

[0014] Moreover, it becomes controllable [ the laser reinforcement in which a p-ch. field differs from a n-ch. field ], without performing precision position control of the increment in the number of production processes, or laser radiation, since it is arranged to the field to which the n-ch.TFT group and the p-ch.TFT group became independent on the glass substrate which spreads two-dimensional according to other descriptions of this invention.

[0015]

[Example] The 1st example of this invention is shown in drawing 1 . As first shown in drawing 1 R> 1 (A), the a-Si thin film 2 is deposited for example, with a reduced pressure CVD method on a glass substrate 1 at 100nm thickness. Next, patterning of the protection-from-light layer 3 of laser is carried out to the field in which p-ch.TFT is formed by a photolithography etc., and it is formed in it. As a protection-from-light layer, what is necessary is just the ingredient which can shade laser, such as a thin film with high absorption coefficients, such as a metal with a high reflection factor, and Si, or a cascade screen of the above ingredients, to excimer laser, such as refractory metals, such as W and Mo, and aluminum. As mentioned above, it is the field which should form a circuit where a p-ch.TFT field is shaded 360 mJ/cm<sup>2</sup> It takes laser annealing 4. The count [ as opposed to XeCl excimer laser, the wavelength of 308nm, and one place in the used laser ] of an exposure is ten shots.

[0016] Next, after exfoliating, as the above-mentioned protection-from-light layer 3 is shown in drawing



1 (B), the protection-from-light layer 13 is formed in a n-ch.TFT field, and it is 400 mJ/cm<sup>2</sup>. Laser annealing is performed. The count of an exposure to one place is ten shots like the above. Then, the thin film transistor 6 as exfoliates and shows the protection-from-light layer 13 to drawing 1 (C) using Si thin film by which laser annealing was carried out is formed. It is n+ to the channel layer 6-1 and 6-6. A layer 6-2 and P+ A layer 6-5 is formed with ion-implantation etc., and deposits 1500nm of SiO<sub>2</sub> thin films 6-7 with a reduced pressure CVD method as gate dielectric film. The gate electrode 6-4, the source, and the drain terminal 6-3 use aluminum (aluminum). furthermore, the TFT upper part which n-ch.TFT formed as mentioned above and p-ch.TFT are used for manufacture of an integrated circuit, and is shown in drawing 1 (C) -- formation of an interlayer insulation film, and wiring -- public funds -- formation of a group is performed.

[0017] As mentioned above, as a result of performing laser annealing by reinforcement which is different in a n-ch.TFT channel field and a p-ch.TFT channel field, the highest mobility was obtained in each TFT which calls in n-ch.TFT mobility of 198cm<sup>2</sup> / Vsec, and is called mobility of 103cm<sup>2</sup> / Vsec in p-ch.TFT. When the stress produced to each channel field was estimated from RAMAN dispersion spectroscopy, it is 5x10<sup>9</sup> dyn/cm<sup>2</sup> in 9x10<sup>9</sup> dyn/cm<sup>2</sup> and a p-ch. field in a n-ch. field. It was checked that control of stress is made.

[0018] Moreover, although the shielding layer of laser was formed on the substrate in the above-mentioned example and selection of laser reinforcement was performed, the mask which controls laser in the exposure configuration of arbitration may be arranged on the optical path of this example laser in which location.

[0019] Next, the 2nd example of this invention is explained. Drawing 2 is the arrangement schematic diagram of a 400 bit-shift register. When the 1 bit P channel cel 7 of operating circuits and the N channel cel 8 are parallel, respectively and are located in a line with a 400-piece serial, the 400-bit shift register is constituted. Thus, selection of the laser radiation reinforcement in an integrated-circuit production process became easy by dissociating clearly and arranging the n-ch.TFT field 11 and the p-ch.TFT field 12. Therefore, it is a n-ch.TFT field like the 1st example of the above 360 mJ/cm<sup>2</sup> It is a p-ch.TFT field 400 mJ/cm<sup>2</sup> When every ten shots per place carry out laser annealing, respectively, in a production process, laser annealing in optimum conditions is performed, respectively.

[0020] In each above-mentioned example, although it is carrying out by the exposure number density of ten shot / place as shown above, it is also possible to change and anneal exposure number density, and annealing in different exposure number density to n-ch.TFT and p-ch.TFT is also possible. It is [ laser / which is used ] usable also about pulse lasers, such as not only XeCl excimer laser but other excimer laser, such as KrF and ArF, an YAG laser, etc.

[0021]

[Effect of the Invention] It has the effectiveness that the strain controlled which the channel field of TFT which constitutes a thin film integrated circuit became independent of by this invention becomes possible, and improvement in the engine performance of the integrated circuit formed of operation and improvement in dependability are realized.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the thin film integrated circuit of the 1st example of this invention in order of a production process.

[Drawing 2] It is the outline top view showing the thin film integrated circuit of the 2nd example of this invention.

[Drawing 3] It is drawing showing the relation between laser reinforcement and mobility about p-ch.TFT and n-ch.TFT.

[Drawing 4] It is the sectional view showing TFT used for the experiment of drawing 3 .

[Drawing 5] It is drawing showing the TFT substrate for liquid crystal displays as an example of a thin film integrated circuit.

[Description of Notations]

- 1 Glass Substrate
- 2 Si Substrate
- 3 13 Protection-from-light layer
- 4 Excimer Laser
- 5 Field as for which Reforming was Carried Out by Laser Annealing
- 6 Thin Film Transistor
- 6-1 N-ch.TFT Channel
- 6-2 N+Si Layer
- 6-3 Aluminum Electrode
- 6-4 Gate Electrode
- 6-5 P+Si Layer
- 6-6 P-ch.TFT Channel
- 7 1 Bit P Channel Cel of Scanning Circuits
- 8 1 Bit N Channel Cel of Scanning Circuits
- 9 Shift Register Output
- 10 Others [ Power Source ]
- 11 N-ch.TFT Field
- 12 P-ch.TFT Field
- 31 Drive Circuit One Apparatus Liquid Crystal Display TFT Substrate
- 32 Pixel Field
- 33 Field Irradiated [ Laser ]
- 34 Excimer Laser
- 35 Data Scanning Circuit
- 36 Gate Scanning Circuit

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The semi-conductor thin film which serves as a semi-conductor thin film used as the channel of said n channel mold thin film transistor and a channel of said p channel mold thin film transistor in the thin film integrated circuit which has an n channel mold thin film transistor and a p channel mold thin film transistor on a substrate is a thin film integrated circuit characterized by polycrystal and the diameter of crystal grain in the presentation structure depended amorphously or polycrystal structure differing from the grain boundary mutually.

[Claim 2] The semi-conductor thin film used as the semi-conductor thin film used as the channel of said n channel mold thin film transistor and the channel of said p channel mold thin film transistor is a thin film integrated circuit according to claim 1 characterized by being the semi-conductor thin film formed of the laser radiation of mutually different reinforcement.

[Claim 3] two or more n channel mold thin film transistor groups form in the 1st field of a substrate -- having -- the alienation from said 1st field -- the thin film integrated circuit characterized by forming two or more p channel mold thin film transistor groups in the 2nd field of the \*\*\*\* aforementioned substrate.

[Claim 4] The semi-conductor thin film used as the semi-conductor thin film used as the channel of said n channel mold thin film transistor in said 1st field and the channel of said p channel mold thin film transistor in said 2nd field is a thin film integrated circuit according to claim 3 characterized by polycrystal and the diameter of crystal grain in the presentation structure depended amorphously or polycrystal structure differing from the grain boundary mutually.

[Claim 5] The semi-conductor thin film which serves as a semi-conductor thin film used as the channel of said n channel mold thin film transistor and a channel of said p channel mold thin film transistor in the manufacture approach of a thin film integrated circuit of having an n channel mold thin film transistor and a p channel mold thin film transistor on a substrate is the manufacture approach of the thin film integrated circuit characterized by making the laser radiation of mutually different reinforcement.

[Claim 6] the plurality serves as a group and forms said n channel mold thin film transistor in the 1st field of said substrate -- having -- said p channel mold thin film transistor -- the plurality -- a group -- becoming -- the alienation from said 1st field -- the manufacture approach of the thin film integrated circuit according to claim 5 characterized by being formed in the 2nd field of the \*\*\*\* aforementioned substrate.

---

[Translation done.]